PATENT ABSTRACTS OF JAPAN

(11)Publication number:

11-015425

(43)Date of publication of application: 22.01.1999

(51)Int.CI.

G09G G06F 3/153 HO4N 5/66 // G09G 5/00

(21)Application number: 09-169950

(71)Applicant:

HITACHI LTD

(22)Date of filing:

26.06.1997

(72)Inventor:

KIMURA KENICHI

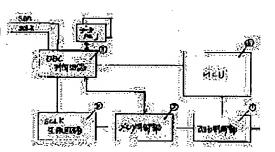
KAWAMURA MANABU

(54) DISPLAY MODE SWITCH CONTROL DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify operation and to realize intuitive operation by transmitting a display mode switch signal from a display device to a system device and switching a display mode with the system device side according to that.

SOLUTION: When an On Screen Display(OSD) menu in the display device is started, the Established Timing block data in a memory of a Display Data Channel(DDC) control part 3 are read out by art OSD control part 1, a memory control part 2 to be stored in the data RAM of the OSD control part 1. The OSD displays adjustment functions and adiustment states such as screen size, position and contrast on a screen. When a display mode switch menu is started by OSD operation, by outputting information in the data RAM of the OSD control part 1 to the screen, a user can select surely and optionally the display mode within the range of the specification of the display device on the display device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許出職公園番号

特開平11-15425

(43)公開日 平成11年(1999)1月22日

(51) bt CL ⁸	•	鐵別記号	FI		
GOBG	1/16		G 0 9 G	1/16	M
GOSF	•	330	G06F	3/153	330A
H04N	-		H04N	5/66	В
	5/00	510	G 0 9 G	5/00	510X

事を請求 未輸求 新求項の数1 OL (全 5 頁)

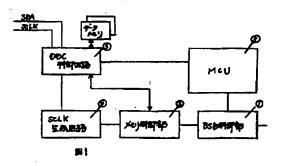
			William Marximum and the second
(21)出版書号	特展平 9-1 8995 0	(71)出職人	000005108 株式会社日立製作所
(22)出版日	平成9年(1997)6月26日		東京都千代田区神田駿河台四丁目6番地
		(72) 発明者	木村 健一 神奈川県海老名市下今泉810番地 株式会 社日立製作所オフィスシステム事業都内
		(72)発明者	川村 学 神奈川県存宅名市下今泉810番油 株式会 社日立製作所オフィスシステム事業部内
•		(74)代理人	弁理士 小川 勝男
			(0)

(54)【発明の名称】 表示モード切り替え制御ディスプレイ

(57) 【要約】

【課題】従来、システム装置の出力信号はシステム装置 のアプリケーションソフトウェアにて制御され表示モー ドを切り替えていたが、ディスプレイ装置にて表示モー ドの切り替え制御を行うことで操作の情報化、直感的な 操作を実現する。

【解決手段】ディスプレイ装置からシステム装置にデータを送出するDDC制御信号を用い、EDIDデータの読み出し、書き換え制御を行うことでシステム装置の表示モードを制御する。



【特許請求の範囲】

【請求項1】システム装置からの映像信号、同期信号に よりグラフィック、キャラクタ表示を行い複数の表示モ ードに追従するディスプレイ装置において、ディスプレ イ装置にて解像度、同期周波数の切り替え制御を行い、 システム装置の表示モードを切り替える機能を備えたデ ィスプレイ装置。

【発明の詳細な説明】

[0001]

【発明の属する技術分野】本発明はパーソナルコンピュ 10 ータシステムの解像度、同期周波数等の表示モードを切 り替えるための表示モード切り替え方式に関するもので ある。

[0002]

【従来の技術】従来、システム装置の表示モード切り替 え制御はシステム装置のアプリケーションソフトウェア にて行われており、表示ドライバを介してグラフィック ポードの各レジスタへ値をセットすることにより切り替 えていた。

【0003】本操作はシステム装置側からの切り替え起 20 動によるため、ディスプレイ装置の仕様範囲を越えた解 像度、同期周波数設定が可能であり、誤動作の原因とな っていた。

[0004] その後、Display Data Channel (DD C) インタフェースを採用することにより、ディスプレ イ装置の解像度、間期周波数仕様等の情報をEDIDデ ータとしてディスプレイ装置からシステム装置へ送信 し、ディスプレイ装置の仕様範囲を意識した設定を自動 的に行うようになったが、アプリケーションの起動、選 択、実行による複雑な操作性を必要とした。

[0005]

【発明が解決しようとする課題】ディスプレイ装置に表 示モード切り替え機能を付加し、ディスプレイ装置から 表示モード切り替え信号をシステム装置に送信しそれに 応じてシステム装置側で表示モードを切り替えるように する。

[0006]

【課題を解決するための手段】システム装置とディスプ レイ装置間のインタフェースは映像信号、同期信号、D DC制御信号で構成されている。

【0007】映像信号、同期信号については、入力信号 であり画面表示を行うための信号である。 DDC制御信 **身は、Vsyncまたはシステム装置から出力されるSCL** K信号により、同期し、ディスプレイ装置の各情報(解 像度、対応周波数等)をEDIDデータとしてシステム 装置へ送出する。

【0008】 EDIDデータは128パイトで構成され ており、解像度、同期周波数、タイミングデータが書き 込まれている。

【0009】本発明はDDC制御信号を用い、EDID 50

2 データの読み出し、睿き換え制御を行うことでシステム 装置の表示モード切り替え制御を行うことを主な特徴と する。

[0010]

【発明の実施の形態】本発明の一実施例を図面により説 明する。

【0011】DDC制御信号はデータ信号であるSDA 信号、CLK信号であるSCLK信号で構成され、12 8パイトのEDIDデータをSCLK信号に同期してデ ータストリームする。図2はEDIDデータの中の基本 タイミングを記述するEstablished Timingsブロック であり、Established Timing I, II, manufa cture 's Timingで構成される3パイトデータ ブロックである。

【0012】本ブロックはVESAで規定された基本タ イミングを記述しており、これらの各ピットにFlag "1"を立てることにより、サポートタイミングとな り、"0"を立てることにより未サポートタイミングと なる。

【0013】 通常、本ビットを有効にしたタイミングは ディスプレイ装置のプリセットモードであり、これらタ イミングが事実上ディスプレイ装置の仕様範囲内の表示 モードと判断できる。(非標準的なタイミングをサポー トしている場合は、Standard Timing Identificatio nプロック、Detailed Timing Descriptionプロック に記述される。)従って、Established Timingsプロ ックのデータを活用し、図3に示す処理フロー、図1に 示すブロック図により実現する。

【0014】図3の処理フローを説明する。

【0015】ディスプレイ装置のOSDメニューが起動 30 されるとOSD制御部、メモリ制御部によりDDC制御 部のメモリ内Established Timingプロックデータを読 み出し、OSD制御部のデータRAMに情報を格納す

【0016】OSDとはOn Screen Displayの略で画 面サイズ、位置、コントラスト等の調整機能及び調整状 態を画面上に表示させるものである。

【0017】ディスプレイ装置のOSD操作により、表 示モード切り替えメニューが起動された場合、OSD制 御部のデータRAMの情報を画面に出力する。

【0018】本画面により、使用者がディスプレイ装置 上で任意の表示モードを選択でき、かつ確実にディスプ レイ装置の仕様範囲内の表示モードを選択できる。

【0019】使用者がOSDメニューにより表示モード を決定すると、当該表示モード以外のビットを"0"に し、DDC制御部のメモリを審き換えする。以下に使用 者が1024x768ドット70Hzモードを選択した場合のメ モリ書き換えの一例を示す。

[0020]

【表1】

1

Bit	Bi	t健	内容		
	新女服女 教	自由的人 包	Batubiished Tising 1		
7	1	0	720±400 @ 70 H s		
6	0	0	720±400@88H1		
5	1	0	6402480 @ 80 H s		
4_	0	0	649x480 @ 57 H x		
3	1	0	840±480 9 72H ±		
3	0	0	640x480 @ 76H x		
1	0	0	800x500 \$55 H s		
0	0	0	800x600 @ 50 H a		
			Betablished Timing li		
7	1	0	600×600 @ 72H s		
6	0	0	800x600@75Hz		
8	0	0	832x624 @ 75 H z		
4	0	0	1024x768 @ 87 H z		
8		0	1024x768@60Hx		
3	1	1	19241768 @ TOH :		
i	1	0	1024±768 @ 76H =		
0	0	0	1280x1024@75H :		

【0021】ビット書き換え前

*【表2】

[0022]

2

Established Timing I

Established Timing [1 1 0 0 0 1 1 1 0

【0023】ビット書き換え後

※【表3】

[0024]

※30

•

Established Tising I

Batablished Tining [[
0 0 0 0 0 1 0 0

【0025】ビット書き換え後のデータをEstablished Timingブロックとして保存し、DDC制御信号である SDA信号よりデータを送信する。

【0026】このときのデータCLKはシステム装置か 40 ら供給されないため、SCLK生成回路にてSCLK信号を生成し、DDC制御回路へ供給する。この生成SCLK信号によりデータ送信を行う。

【0027】書き換え後のデータは使用者が選択した当 該モードのみが有効となっており、データ上、ディスプ レイ装置が当該モードのみを表示可能なシングルスキャ ンディスプレイとなる。

【0028】データ送信後、システム装置は書き換えられた表示タイミングを認識し、シングルスキャンディスプレイとして処理、グラフィックボードの各レジスタへ 50

値を再セットする。これらの処理にて、表示モードを切 り替える。

[0029]

【発明の効果】本発明によればディスプレイ装置にて表示モードの切り替え制御が行え、操作の簡素化、直間的な操作が実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す表示モード切り替え制 御ブロック図である。

【図2】EDIDデータのEstabilished Timingsプロック部である。

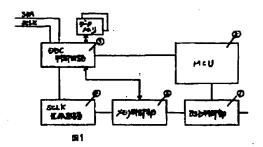
【図3】ディスプレイ装置による表示モード切り替え制 御のフローチャートである。

0 【符号の説明】

1…OSD制御部 2…メモリ制御部 3… (マイクロプロセッサ)。

DDC制御部、4…SCLK生成回路、 5…MCU

[図1]



【図2】

	Bytes	314	Description	Saurce
			Retablished Timing I	
_		7	720 x 400 (2), 70Hz	IBM, VGA
1		6	720 x 440 @ 1814x	IBM, XQA2
		3	640 x = 40 23 6016z	IBM, YGA
		+	640 a 480 @ 67Hz	Apole, Mac II
		3	640 x 180 @ 1216a	VESA
			640 x 480 @ 19Hz	VESA
			800 x 600 (2 36)(2	VESA
4			800 x 600 Ø 60Hz	VESA
4	1		Ketabilebed Timban II	
			800 x 600 (4 72Hz	VESA
		6	800 x 600 @ 75Hz	VESA
		3	832 x 624 @ 75Hz	Apple, Mac II
I		1	1024 x 768 (A) 8734x(1)	(BM
J			1024 x 768 (2) 60Hz	VESA
ı		2	1024 x 764 (72 70Hz	VESA
J			1024 x 768 @ 75Hz	VESA
I			1280 x 1021 @ 7514a	YESA
1			Manufacturer's Thedays	
1		7	1132 × 870 億 7544	Angle, Mar II
I		•	Reserved	
I		3	Reserved	
1		1	Reserved	
ſ	•		Regerved	
I	\Box	~	Reserved	
I			Reserved	
I		0	Reserved	

D2

【図3】

